

プログラミング可能な LSI による二次元定常熱伝導シミュレータ

佐竹 信一[†] 廣井 義明[†]
増田 信之[‡] 伊藤 智義[‡]

Simulator of Two-Dimensional Steady Heat Conduction by Programmable LSI

Shin-ichi SATAKE[†], Yoshiaki HIROI[†], Nobuyuki MASUDA[‡] and Tomoyoshi ITO[‡]

Abstract

A special purpose computer is developed for two-dimensional steady heat conduction problem by FPGA (Field Programmable Gate Array) chip on a PCI (Peripheral Component Interconnect) board. The computer consists of four internal memories, a calculation circuit, two adders, and one multiplier. The computational domain is divided by 64×64 meshes. The computation is adopted 32 bit fixed-point calculation to obtain stationary solution. The same calculation is performed by a general PC with C language. FPGA results are evaluated about the performance accuracy and the calculation time compared with C language results. Although computational time of FPGA is three times larger than that of C language, more speed-up will be achieved if the program is directly installed in the LSI chip.

Key Words: *FPGA, A special purpose computer, Heat conduction problem*

1 はじめに

近年の数値シミュレーション技術及び計算機の発展により、様々な数値実験が研究室内で行われるようになった。それに伴ってシミュレーションに要する計算時間も増加する傾向にある。計算時間を短縮する方法として、高速な計算機やプログラムソフトのアルゴリズムを高速化することがすぐに思いつくが、スーパーコンピュータなどを使える環境になく、かつ計算対象が限定されるのであれば、図 1 に示されるような PC と LSI 等を組み合わせた専用計算機を作製することが考えられる[1]。例えば、専用 LSI を作製し、これを PC 等と組み合わせて計算を行えば、計算速度を向上させることができる。しかし、一度専用 LSI を作製してしまえば、問題点が発見されたとしても LSI を修正することは出来ず、またそれ以外の計算を行う際にも流用することが難しい。これらの要因により、安易に専用 LSI を作製するこ

とは好ましくない。したがってその前段階として入念な準備が必要となる。

我々は FPGA (Field Programmable Gate Array) を使用して専用計算機を試作した。FPGA は通常の LSI と異なり、プログラミングされた記述に従って電氣的に論理配線を行う素子である。パソコンやワークステーションで回路を設計し、ターゲット用に配線配置したデータを転送してコンフィグレーションすることにより、内部論理を再構成することが可能である[2]。ハードウェア記述言語の熟達が必要となるものの、各シミュレーションに必要な専用計算機を目的に応じて構成、及び再構成し、使用することが出来る。小・中規模の LSI 生産では再構築不可能で、大量生産を前提としている専用 LSI と比較して、開発コストの面で FPGA が有利である。また、専用 LSI と比較すると計算速度は劣るが、通常の PC と比較すれば、特に並列計算処理において、十分な速度の向上が望める。したがって、並列計算処理の多いシ

受付日: 2006 年 3 月 11 日, 第 43 回日本伝熱シンポジウムより受付, 担当エディター: 黒田 明慈

[†] 東京理科大学 基礎工学部電子応用工学科 (〒278-8510 千葉県野田市山崎 2641)

[‡] 千葉大学大学院 工学研究科 人工システム科学専攻 (〒263-8522 千葉市稲毛区弥生町 1-33)

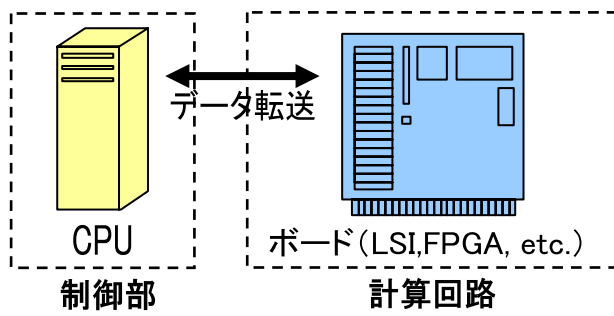


Fig. 1 Summary of special purpose computer.

シミュレーションを行う場合に FPGA を高速専用計算機として利用することで、より効率的なデータ処理を行うことが出来る。本論文では、二次元定常熱伝導方程式を解く専用計算機を設計し、FPGA にコンフィグレーションして計算を行い、その性能について評価した。

2 現状の冷却装置の評価

本論文では 1×1 の平面を 64×64 のメッシュ領域に分割して定常熱伝導方程式の計算を行うことを考える。図 2 に計算対象を示す。

二次元定常熱伝導方程式は以下の式で表される。

$$\lambda \left(\frac{\partial^2 T}{\partial x^2} + \frac{\partial^2 T}{\partial y^2} \right) + Q = 0 \quad (1)$$

ただし、 T は温度である。 λ は熱伝導率であり、ここでは $\lambda=1$ とする。 x, y の格子間隔を h とすると、二次元の差分方程式は次のように与えられる。

$$\frac{(T_{i+1,j} + T_{i-1,j} + T_{i,j+1} + T_{i,j-1} - 4T_{i,j})}{h^2} + Q = 0 \quad (2)$$

ここで、 $T_{i+1,j}$, $T_{i-1,j}$, $T_{i,j+1}$, $T_{i,j-1}$ は前後上下の温度であり、 $T_{i,j}$ が求めたい温度である。上式を変形しステップの変化も含めると、

$$T_{i,j}^{n+1} = \frac{(T_{i+1,j}^n + T_{i-1,j}^n + T_{i,j+1}^n + T_{i,j-1}^n)}{4} + \frac{Qh^2}{4} \quad (3)$$

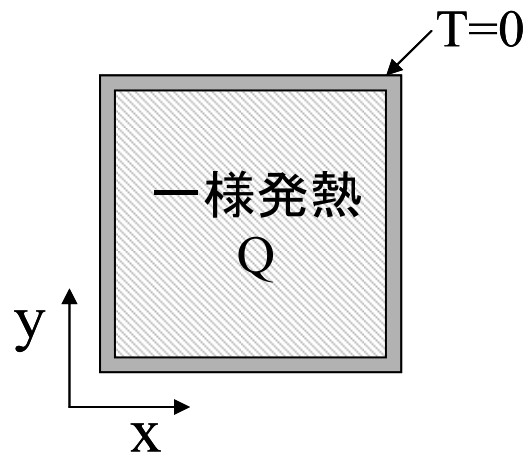


Fig. 2 Computational domain.

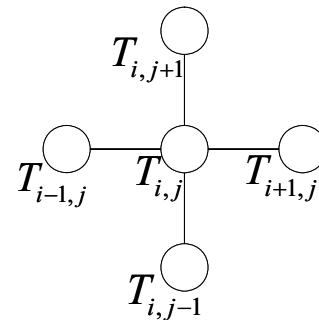


Fig. 3 Discrete variable in grid point.

が得られる。ここで n はシミュレーションステップである。従って前後左右の四点の温度から次のステップの $T_{i,j}$ の温度が五点差分方程式で構成され、図 3 のように表される。

周囲 4 点の温度には、その時までには得られている温度を用いて計算を行い、この操作を全領域に対し何度も反復して行うことにより収束解が得られる事とし、SOR などの加速は行わない。また、境界条件として平面の周囲を全てディリクレ条件 ($T=0$) とした。

3 FPGA 設計

通常 FPGA や LSI を使用した専用計算機では PC 側とチップ側で計算を分担し、計算速度の向上を図っているが、今回の回路では計算式が単純であるということもあり、計算を分担するような形にはして

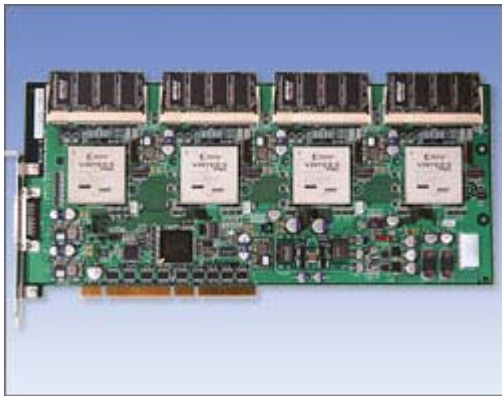


Fig. 4 HORN-5 board.

おらず、全計算を FPGA で行うように設計した。本計算機の設計には Xilinx 社製 FPGA virtex II Pro(700 万ゲート相当)を 4 つ搭載している千葉大学と理化学研究所が共同開発した HORN-5 ボードを使用した。図 4 にボードを示す。本ボードは PCI (Peripheral Component Interconnect)を介して PC と接続されており、PCI バス(33 MHz で動作)と同期を取るために 66 MHz と 133 MHz の二種類のクロックが用意されている。

本ボードは 4 つの FPGA を利用した分割計算が可能であるが、PC とのデータのやりとりには 4 つの FPGA 共通のバスを介して行うため、同時に PC との通信を行うことはできない。しかし隣り合った FPGA 同士は専用のバスで接続されており、互いに通信ができる。そしてボード上部には、DDR-SDRAM(Double-Data-Rate Synchronous Dynamic Random Access Memory) 256 MB 搭載を 4 つ搭載しており、それぞれの FPGA より専用のバスでアクセスできる。今回はこの DDR-SDRAM は使用せず、4 つの FPGA を使用した並列計算も行わず、1 つのみを使用して回路の有効性を検証した。

上記の FPGA ボードを使用し、ハードウェア記述言語に VHDL(VHSIC Hardware Description Language)を用いて設計を行った[3]。VHDL は C や Pascal などのような形式言語であり、デジタル回路の動作や構造、動作のタイミングまで記述できる[4]。そして作成可能な回路の規模は、FPGA の回路規模に依存する。VHDL プログラムの記述及び配線配置データの作成には Xilinx 社のプログラマブルロジック作成ソフトウェアである ISE6.3 を使用した。

回路自体の構成は上位の制御回路、下位の FPGA 内部のメモリ及び計算回路で構成されている。温度の計算は 32 bit 固定小数点演算によって計算してい

る。本計算では 32 bit 全てを小数の表現に利用しており、また負の値が存在しないため符号部及び整数部は存在しない。通常、加算を行った際に bit 数が増加する場合は考えられるが、今回の計算では繰り上がりが存在しないためそのような場合は無視できる。また、乗算を行うと bit 数が倍になるため、乗算後の値は上位 32 bit のみを使用し、誤差を減らすために下位 32 bit の最上位 bit が 1 の時には上位 32 bit の最下位に 1 を加算するような丸め処理を行う乗算器として作製した。図 5 に 32 bit 固定小数点表現と乗算の丸め処理を示す。計算回路では加算器を二つ、乗算器を一つ使用している。

回路は基本的にはステートマシンで構成されており、ステートの遷移には前述の同期クロックを用いている。一回の計算には図 6 に示されるように 4 クロックを要する。計算回路と制御回路の間でのデータのやり取りに 2 クロックを要するため、計算終了まで

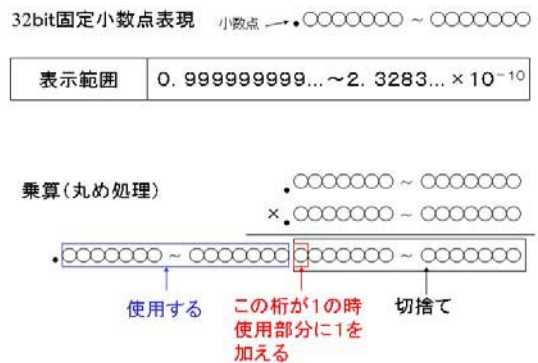


Fig. 5 32 bit fixed-point calculation.

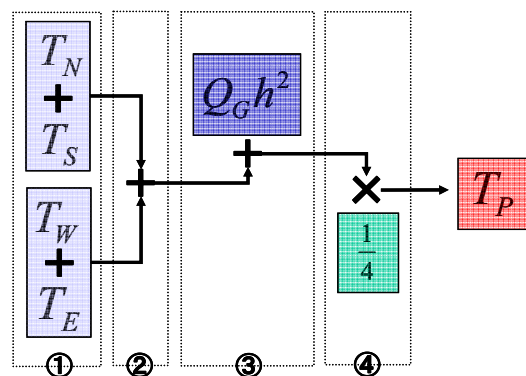


Fig. 6 Block chart of calculation circuit.

に実質 6 クロック必要となる。FPGA 内部のメモリには現在のステップの全領域温度データと次のステップの全領域温度データを格納しており、一つのデータの書き込み及び取り出しには 3 クロックを要する。

前述のとおり、計算に必要な可変データは 4 つあるため、これを FPGA 内部のメモリから取り出すのには 12 クロック、計算したデータをメモリに書き込むのに 3 クロックを要するため、一点の温度の計算に 15 クロックを要することになる。これは大幅な時間のロスであるので、この点を改良するためにメモリを 4 つ作製し、これらから周囲各々の温度を取り出し、計算終了後に全てのメモリに計算したデータを書き込むような形をとった。これにより、四点のデータの取り出しを同時に行えるため、一点の温度の計算でのデータの移動にかかる時間を 6 クロックに減らすことが出来た。温度の計算とデータの取り出しは FPGA の特徴である並列処理により同時に行えるので、計算を含めた一点の温度を処理するのにかかる時間は 6 クロックということになる。平面の外周に当たる部分は境界条件として温度不変であるため、全領域の次のステップの温度の計算が終了するには $62 \times 62 = 3844$ 回同様の計算を繰り返す必要がある。図 7 に VHDL のプログラムの概略を、図 8 にフローチャートを示す。

4 専用計算機による計算の概要

PC と FPGA の間のデータの通信には、CBUS[7:0](8 bit)と DBUS[63:0](64 bit)の二種類の信号線によって行われる。このうち CBUS は PC から FPGA へのデータの書き込み、及び FPGA から PC へのデータの読み込みの開始、終了を表す信号の送受信に使用されるため、FPGA 内部のメモリのアドレス指定、及び計算結果の取出しなどの具体的なデータのやり取りには DBUS を用いることになる。これらの信号線によるデータの受け渡しは、FPGA 付属の DLL ファイル及び LIB ファイルを使用した C++ 記述のプログラムを作成し、これによって制御を行った。図 9 にこのプログラムの動作を示す。

最初にコンフィグレーションした回路を FPGA に実装する。FPGA への実装にはボード付属のソフトウェアを用いている。それ以降の作業は C++ によって作成したプログラムによって行われることになる。

```

calc : thermal port map(TN,TS,TE,TW,C_START,CLK,RESET,C_END,TP);

memory_N : thermem port map(ADD_N,CLK,IN,OUT,WE);
memory_S : thermem port map(ADD_S,CLK,IN,OUT,WE);
memory_W : thermem port map(ADD_W,CLK,IN,OUT,WE);
memory_E : thermem port map(ADD_E,CLK,IN,OUT,WE);

process begin
case state is
when "00" => --read calc data from memory
ADD_E <= CENTER_ADD + "0000000000001";
ADD_W <= CENTER_ADD - "0000000000001";
ADD_N <= CENTER_ADD + "0000001000000";
ADD_S <= CENTER_ADD - "0000001000000";
state <= "01";
when "01" => --calc start
C_START <= '1';
if C_END = 1 then
state <= "10";
end if;
when "10" => --write calc data to memory
WE <= '1';
ADD_E <= CENTER_ADD;
ADD_W <= CENTER_ADD;
ADD_N <= CENTER_ADD;
ADD_S <= CENTER_ADD;
state <= "00";

```

Fig. 7 Outline program of VHDL.

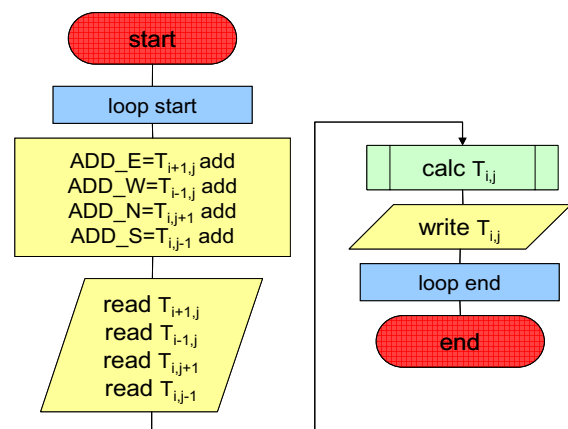


Fig. 8 Flowchart of steady heat conduction problem.

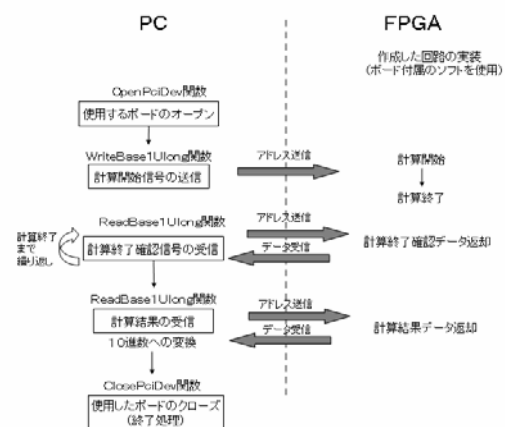


Fig. 9 Flow chart of communication between PC and FPGA.

先ず `OpenPciDev` 関数によってデバイスをオープンする。複数枚のボードを使用している際はここでどのボードを使用するかを決定する。次に計算の開始を意味する信号を FPGA に送信する。前述のとおり、データの送受信には `DBUS` を用いる必要があるため、データを FPGA に書き込むための `WriteBase1Ulong` 関数を使用して、規定のアドレスにデータを書き込む。今回設計した回路は、初期条件や計算条件は FPGA の内部で値を決めているため、計算開始時の PC との通信は計算開始信号のみとなる。FPGA 内部のメモリにはあらかじめ計算開始と計算終了を確認するための領域をあらかじめ用意しておく。計算開始判定用のアドレス領域にデータが書き込まれると、それを計算開始の合図として内部で計算が開始される。

計算は FPGA 内で自動的に規定回数(ステップ)まで行われる。ユーザはその間計算が終了したかどうか判断するためにデータを取り出すための `ReadBase1Ulong` 関数により計算終了判定用のアドレスのデータを取り出す。計算が終了するとこのアドレスのデータが書き換えられるように作製してあるので、このデータを確認することで計算が終了しているかどうかを判断することが出来る。このような手法をとるのは今回使用したボードでは FPGA 側から PC 側に自動的に計算が終了した旨を知らせる方法がないためである。

計算が終了したら、前述の `WriteBase1Ulong` 関数を使用して全計算結果を取り出し、C++のプログラムにて 10 進数のデータに変換する。その後 `ClosePciDev` 関数によってオープンしたデバイスをクローズし、全計算過程を終了する。

5 計算速度比較

上記の専用計算機で PCI バスとの同期に 66MHz のクロックを使用して計算を行い、10000 ステップの計算に要した時間を測定し、領域の温度を取得した。また、この計算機と同様の計算を行うプログラムを C 言語(変数には `double` 型を使用)で作成し、Pentium4 1.8 GHz プロセッサ搭載の PC で計算を行い、その結果を比較した。図 10 に FPGA による計算結果の値を、図 11 に C 言語プログラムとの各点での誤差を示す。

また、各設計方式における 10000 ステップの計算に要した時間と、そのときの中央の温度データを表

Table 1 Computation time.

設計手法	温度($x=y=32$)	計算時間[s]
FPGA	0.071342	3.49
C	0.071342	0.941

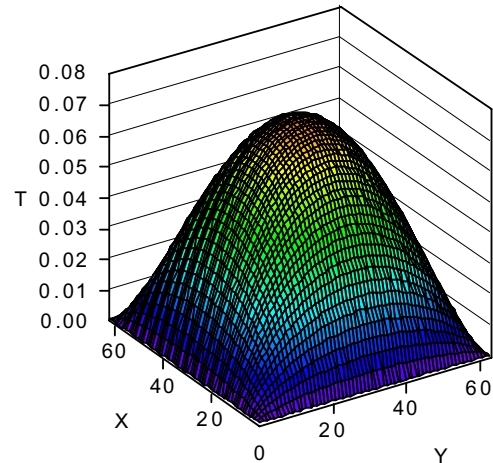


Fig. 10 Two-dimensional temperature distribution.

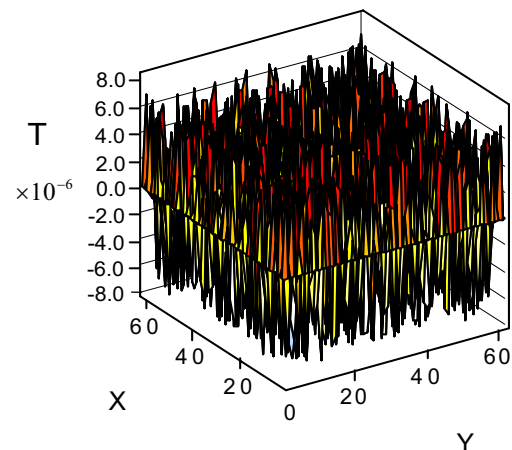


Fig. 11 Error margin with C language.

1 に示す。

今回設計した回路では、温度の計算結果に関しては 10000 回(10000 ステップ)計算後における C 言語との最大誤差が 5.0×10^{-7} % と精度に関しては申し分ない結果を得ることが出来た。一方計算時間に関しては C 言語によるプログラムの 3.7 倍程度の時間がかかっている。

6 おわりに

今回、FPGA の動作クロックを 66 MHz に設定して回路の検証を行い、十分な精度が保証されている

ことを確認した。速度的には十分ではなかったが、設計上では 200 MHz でも動作可能な見積もりを得ている。しかし、今回使用した FPGA は 133 MHz まででしか動作しないので、より高い動作周波数の FPGA を使用する必要がある。現在市販されている FPGA は 500 MHz で動作するものもあるので、今後、200 MHz での実装に成功すれば、FPGA 1 つあたり PC 1 台分の性能を得ることが期待できる。

使用したボードには 4 つの FPGA が搭載されているので、4 つの条件の数値計算を同時に行わせることが可能であり、使い方によっては、実質的に PC の 4 倍の高速化を実現することになる。さらに、使用したボードは PC に標準装備されている PCI 規格のものであるため、1 台の PC に 4 枚程度装着することができ、その場合は理想的には 16 倍程度の計算速度が得られると考えられる。しかし、実際には計算速度が増加してもボード上の異なる FPGA との通信や、異なる FPGA ボードとの通信の必要性が出てきた場合、そこでボトルネックになる可能性がある。そのため、並列処理においてはなるべく他の FPGA と通信する必要がないように、適切な計算領域の分割をする必要がある。

また、今回の回路は 1 つの FPGA に式(3)を 1 セットしか実装できなかったが、これは FPGA に内蔵されているメモリ容量で制限されたためである。ボー

ド上部に実装された DDR-SDRAM を使用する方法も考えられるが、FPGA 内部のメモリより通信に時間がかかるため計算時間が増えてしまう。十分なメモリが FPGA 内にあれば、式(3)を複数実装して並列処理することが可能になる。FPGA の内部メモリは年々大規模化しているので、近い将来にはさらに有効な計算機システムを構築することが可能であると見込まれる。また、今回の回路を踏まえて、内部メモリを十分に組み込んだ専用 LSI を開発すれば、計算条件を自由に変更することはできないものの、現時点においても有用なシステムの構築は可能であると考えられる。

参考文献

- [1] Ito, T., Masuda N., Yoshimura K., Shiraki A., Shimobaba, T. and Sugie, T., "A special-purpose computer for electroholography HORN-5 to realize a real-time reconstruction", *Optics Express* **13**(6) (2005) 1923-1932.
- [2] 仲野巧, VHDL によるマイクロプロセッサ設計入門, CQ 出版社, 2002.
- [3] 並木秀明, 永井亘道, VHDL によるデジタル回路入門, 技術評論社, 2001.
- [4] 吉田たけお, 尾地博, VHDL で学ぶデジタル回路設計, CQ 出版社, 2002.