

将来世代コンピュータのための超長マイクロチャンネル冷却

中間報告

中山 恒 (名誉会員)

1. 特定推進研究委員会において指摘された事項

- (1) 具体的イメージが欲しい。
 - (1.1) 将来世代コンピュータの具体的イメージ
 - (1.2) 伝熱研究の具体的イメージ
- (2) 研究の進め方とチーム陣容は現在のままでよいか。

2. 具体的イメージに関する検討

2.1 将来世代コンピュータの具体的イメージ

Exa FLOPS (10^{18} 浮動小数点演算/秒)コンピュータの開発は日本始め主要国で進められているが、進化線(図1)に乗るコンピュータの具体像は未だ無い¹⁾。今日進められている開発は既存技術の改良延伸を基にするもので、Exa Scale コンピュータは進化線から大きく外れたものになる。本研究では進化線に乗るコンピュータの開発には、伝熱工学がどのように関与出来るかとの問いを設定した。進化線上に留まるにはシステムの占有面積と消費電力の増大を抑制することが最大の課題となる。演算デバイスや構成部品の具体像は将来に構想している複合領域プロジェクトに委ねるとして、伝熱工学にとっての最大の課題を取り上げた。概要は2.2節に記す。

技術の将来展開に関しては斯様に漠たる現状であるが、如何なる素案でも具体的イメージがあれば考えを進めやすい。そこで、進化線が向かう究極にある人間の脳を対象に考える。面積 $10\text{ cm} \times 10\text{ cm}$ 、厚さ $21\text{ }\mu\text{m}$ の演算基板を 5750 枚積層し、基板間の冷却流路の幅を $16\text{ }\mu\text{m}$ にとると、システム長さは 15 cm に収まる(図2)。進化線に乗るにはシステム発熱量を 100 W に抑える必要があり、基板表面上の熱流束は 0.9 W/m^2 、冷却流体に FC77 を用いると冷却流体の温度上昇は 0.6 K になる²⁾。現在の電子機器冷却の主要課題と対比させると次のはずになる。(1) 今日では高熱流束冷却が主要課題になっているが、極低熱流束冷却が対象になる。(2) マイクロチャンネル幅は今日ではチップの熱抵抗最小化から決められているが、本研究の超長マイクロチャンネル(Very Long Micro-Channel: VLVC)の幅はシステム体積の制約から決まる。マイクロチャンネルの長さ/等価直径比は数千に達する。脳に匹敵するコンピュータの研究は盛んになっており、デバイスに関しては注目すべき研究(例えば液滴電極を用いたデバイス³⁾)が最近見られる。

2.2 伝熱研究の具体的イメージ

主要研究課題は昨年の特定推進研究セッションで述べた。これらの課題、及び進行中の検討を記す。

- ① VLVC に用いる冷媒材料とチャンネル表面構造の研究
- ② VLVC 内流動の robustness を確立する研究

2 将来世代コンピュータの具体的なイメージ

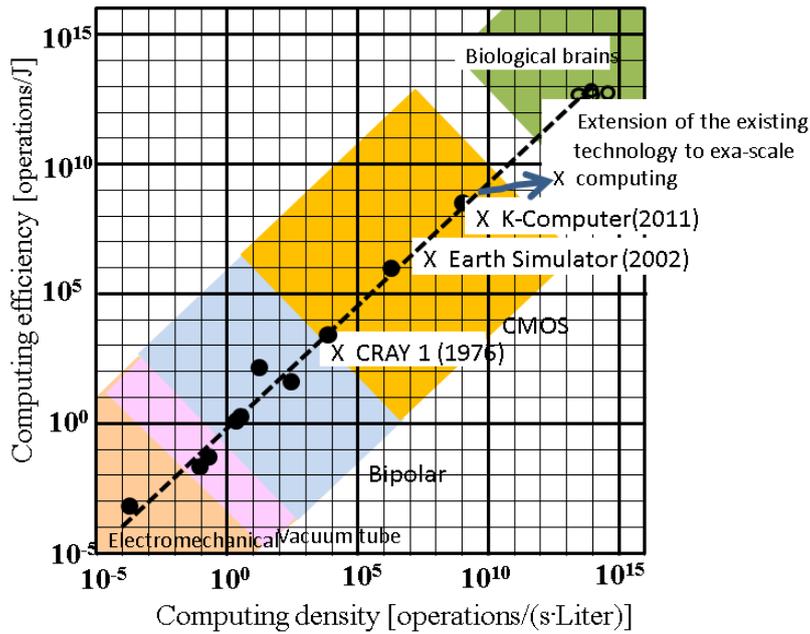


図1 コンピュータのエネルギー効率と体積効率：進化線を破線で示してある。

2 将来世代コンピュータの具体的なイメージ

Nakayama, W., 2013, "A Card Stack Model to Elucidate Key Challenges in the Development of Future Generation Supercomputers," IEEE Access, doi 10.1109/ACCESS.2013.2272175.

脳シミュレータ

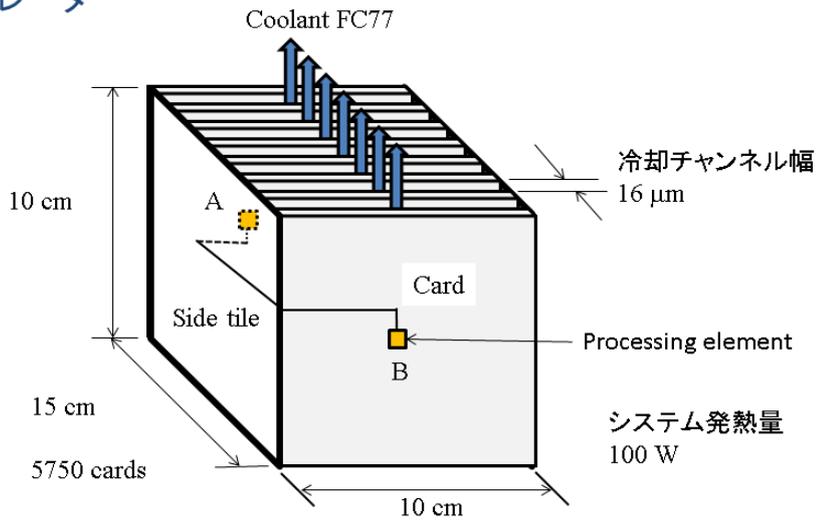


図2 脳シミュレータのイメージ

③ 熱クライシスのモデル化に関する研究

VLIC が変形したりポンプの駆動力に変動が加わったりして冷却流が減速すると、演算デバイスからの発熱

が微小とは云え、熱蓄積-局所温度上昇-発熱量増大のフィードバックループが形成され、急速な熱クライシスに至る。モデル化はマイクロからナノスケールの詳細度で行う必要が生じ、デバイス間を繋ぐ配線が熱拡散に及ぼす影響を無視できない。複雑な配線パターンを如何にモデル化するかが課題であり、これまでの研究⁴⁾を発展させる。

④ VLMC 材料と製法に関する研究

実験用チャンネルの製法に関し、富村教授が熊本大学パルスパワー科学研究所の協力を得て研究を進めている。爆発圧着技術を用いるもので、現在、銅製およびアルミ製並列チャンネルで内径 20 μm 、長さ 10 cmの寸法を実現するための試作に取り組んでいる。

将来のコンピュータ設計には、既存の工学設計概念の対極に位置する概念が必要となる。このことは上記の課題に取り組む際に留意する必要がある。以下に要約する。

- 集積回路の製造工程では、寸法管理の許容マージンがデバイス寸法の縮小に伴い相対的に大きくならざるをえない。ナノスケールデバイスでは基準寸法を中心にしたマージンが広がり、デバイス動作と発熱量推定に含まれる不確かさが大きくなる。
- 上記③に触れた複雑な配線パターンが熱拡散に及ぼす影響を推定するには、モデルが含む不確かさを許容する必要が生じる。
- 不確かさを含む系を対象にする設計思想にはファジー計算の概念が既にあるが、既存のファジー計算では計算結果をある程度広い範囲の枠内に捉える。これに対し、本研究の構想にあるコンピュータでは、不確かさを多く含む系からのアウトプットを高い確率で狭い範囲に収める。
- 生体の細胞再生機構、脳の情報処理機構では多数の構成要素が混在攪拌される過程で、要素間のマッチングが高精度で成し遂げられている。参考になるプロセスである。ここでは系内温度の一様化と情報処理に要するエネルギー消費が密接に関連し合っている。

3. 研究の進め方

本研究はかなり先の将来の展開を想定しており、特定推進研究期間内に大きな成果を期待するのは難しい。設定している目標は、特定推進研究終了後に、より大きなプロジェクトへ移行するための環境づくりである。研究チーム作業の現状とその他の報告を以下に記す。

3.1 研究チームメンバーによる本研究課題の吸収

本研究の課題は今日の電子機器冷却研究課題の対極に位置する。即ち、高熱流束冷却に対し極低熱流束冷却、1-2 cm 長のマイクロチャンネルに対し 10 cm-1 m 長のマイクロチャンネルを対象にしている。今日の冷却技術開発に追われているメンバーに、研究課題を理解して貰うのに時日を要している。メンバー各自が現在抱えている研究テーマで、研究に用いている冷却デバイスを既存のものから更にコンパクトにすると、如何なる課題が浮かび上がってくるかを考えてもらっている。本研究の対象であるコンピュータの実現には、コンパクト化の極限を追究する必要があるからである。

3.2 将来プロジェクトへの環境づくり

国のプロジェクトへ繋げるには下記のステップが必要である。

- (1) 本研究課題に関する啓蒙活動。大規模コンピュータの電力消費と占有スペースの増大を抑制する課題に、国の総力を挙げて取り組む必要があることを行政担当者に伝える。この課題は既にデータセンタで顕在化

しており、米国では National Science Foundation を軸として官民共同プロジェクトが立ち上げられている。2015年3月、東京大学キャンパスに場所を借り小規模ワークショップを開催した。参加者は(敬称略, 順不同)日本側;塩見(東大),宮崎(熊本工大),伏信(東工大),菱田,西,瀬戸,田口(慶応大),畠山(富山県立大),中山,行政から森本,西川(JST),伊東(経産省);米国側;Sammakia(Binghamton U.),Joshi,Yoda(Georgia Tech),篠原(NSF,米国大使館)。このほか、本研究チームのメンバーがJST, NEDOの担当者と接する機会に説明を行っている。

(2) プロジェクトリーダーの選任

将来のプロジェクトリーダーには現役の大学教官に就任をお願いすることになる。また、将来のプロジェクトでは電気電子,材料,実装,情報処理など,異なる分野を超えた研究体制が必要である。伝熱学会のリーダーシップの下に推進するプロジェクトには如何なる体制が適するか,特定推進研究の期間に議論を重ねたい。

参考文献

- 1) Ruch et al., 2011, “Toward Five-Dimensional Scaling: How Density Improves Efficiency in Future Computers,” IBM J. Res. & Dev., vol.55, no.5, paper 15.
- 2) Nakayama, W., 2013, “A Card Stack Model to Elucidate Key Challenges in the Development of Future Generation Supercomputers,” IEEE Access, doi 10.1109/ACCESS.2013.2272175.
- 3) Jeong, J. et al., 2015, “Giant Reversible, Facet-dependent, Structural Changes in a Correlated-Electron Insulator Induced by Ionic Liquid Gating, PNAS, vol.112, no.4, pp.1013-1018.
- 4) Nakayama, W., Study on Heat Conduction in a Simulated Multi-Core Processor Chip: Part II – Case Studies, ASME Journal of Electronic Packaging, Vol.135, Issue 2, June 2013, doi 10.1115/1.4023292.